

for IDS

1/1 PLUSPAT - (C) QUESTEL-ORBIT image

PN - JP8182332 A 19960712 [JP08182332]

PN2 - JP3400160 B2 20030428 [JP3400160]

TI - (A) SWITCHING POWER SOURCE

PA - (A) SHINDENGEN ELECTRIC MFG

PA0 - (A) SHINDENGEN ELECTRIC MFG CO LTD

IN - (A) KOBAYASHI YOSHINORI; SEKINE YUTAKA; WATANABE HARUO

AP - JP33539394 19941222 [\*\*\*1994JP-0335393\*\*\*]

PR - JP33539394 19941222 [1994JP-0335393]

STG - (A) Doc. Laid open to publ. Inspec.

STG2- (B2) Grant. Pat. With A from 2500000 on

- AB - PURPOSE: To use a small on-resistance element for a switching power source by connecting the primary winding of a transformer between the connecting point of first and second switching elements and the connecting point of third and fourth switching elements, connecting the secondary winding of the transformer to a rectifying and smoothing circuit, and providing a control circuit for controlling first to fourth switches which control the output of the switching power source to a prescribed voltage.
- CONSTITUTION: The numbers of turns of the primary winding 41, first secondary winding 42, second secondary winding 44, and control winding 45 of a transformer 40 are respectively set at N1, N2-1, N2-2, and N4 and the potentials at points (a) and (b) in the transformer 40 are respectively adjusted to Va and Vb. In case the numbers of turns of the first and control windings 41 and 45 are set to N1=N4, the voltage Vb of a smoothing capacitor 30 is applied across the primary winding 41 of the transformer 40 when switching elements 51 and 54 are turned on and switching elements 52 and 53 are turned off by means of a control circuit. Although a voltage which becomes  $Vb \times N4/N1$  is generated across the control winding 45 of the transformer 40, the voltage becomes equal to Vb, because N1=N4. Therefore, switching elements having lower withstand voltages and smaller on-resistances can be used.
- COPYRIGHT: (C)1996,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-182332

(43) 公開日 平成8年(1996)7月12日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 M 7/217		9472-5H		
3/335	E			
3/337	D			

審査請求 未請求 請求項の数11 F D (全 20 頁)

(21) 出願番号 特願平6-335393

(22) 出願日 平成6年(1994)12月22日

(71) 出願人 000002037

新電元工業株式会社

東京都千代田区大手町2丁目2番1号

(72) 発明者 渡辺 晴夫

埼玉県飯能市南町10番13号 新電元工業株式会社工場内

(72) 発明者 小林 義則

埼玉県飯能市南町10番13号 新電元工業株式会社工場内

(72) 発明者 関根 豊

埼玉県飯能市南町10番13号 新電元工業株式会社工場内

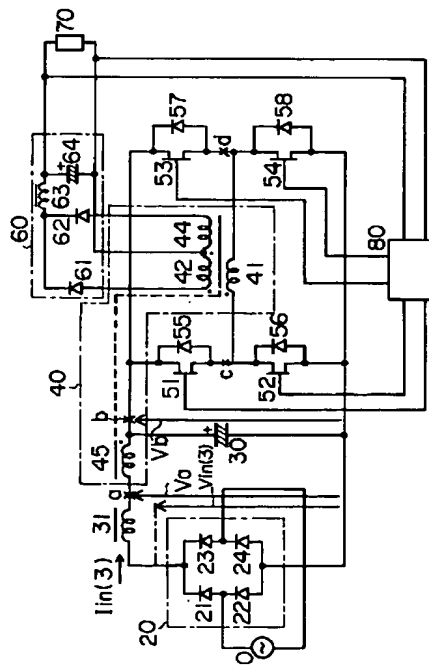
(74) 代理人 弁理士 大塚 学

(54) 【発明の名称】 スイッチング電源

## (57) 【要約】

【目的】 交流を入力とするスイッチング電源に関し、力率を高めると共に、スイッチ素子に印加される電圧を低くし、高効率のスイッチング電源を提供する。

【構成】 交流電源に接続された全波整流器20と、全波整流器20の出力に接続された平滑コンデンサ30と、平滑コンデンサ30の両端間に接続された2組の2個直列のスイッチ素子51～54と、このスイッチ素子のそれぞれに並列に接続されたダイオード55～58と、前記2組のスイッチ素子の各組のそれぞれの接続点との間に1次巻線41が接続されたトランス40と、トランス40の2次巻線42に接続された整流平滑回路60と、整流平滑回路60の出力電圧が所定の電圧になるように前記各スイッチ素子を制御する制御回路80と、全波整流器20と平滑コンデンサ30との間に接続されたインダクタ31とトランス40の制御巻線45との直列回路とを備えている。



## 【特許請求の範囲】

【請求項 1】 交流電源に接続された全波整流器と、  
該全波整流器の出力端子間に接続された平滑コンデンサと、

該平滑コンデンサの端子間に接続された第 1 のスイッチ素子と第 2 のスイッチ素子との直列回路および第 3 のスイッチ素子と第 4 のスイッチ素子との直列回路と、

前記第 1 のスイッチ素子、第 2 のスイッチ素子、第 3 のスイッチ素子および第 4 のスイッチ素子にそれぞれ並列に接続されたダイオードと、

前記第 1 のスイッチ素子と第 2 のスイッチ素子の接続点と前記第 3 のスイッチ素子と第 4 のスイッチ素子の接続点との間に 1 次巻線が接続されたトランスと、

該トランスの 2 次巻線に接続されると共にその出力側に負荷が接続される整流平滑回路と、

該整流平滑回路の出力電圧を検出して当該出力電圧が所定の電圧になるように前記第 1 乃至第 4 のスイッチ素子を制御する制御回路と、

前記全波整流器と前記平滑コンデンサとの間に接続されたインダクタと前記トランスの制御巻線との直列回路とを備えたスイッチング電源。

【請求項 2】 前記トランスの制御巻線に直列に接続されたコンデンサと、該制御巻線とコンデンサとの直列回路に並列に接続されたダイオードとを備えた請求項 1 記載のスイッチング電源。

【請求項 3】 前記第 1 乃至第 4 のスイッチ素子にそれぞれ並列に接続されたコンデンサを備えた請求項 1 または 2 記載のスイッチング電源。

【請求項 4】 交流電源に接続された全波整流器と、  
該全波整流器の出力端子間に接続された第 1 の平滑コンデンサと第 2 の平滑コンデンサとの直列回路と、

該第 1 の平滑コンデンサと第 2 の平滑コンデンサとの直列回路に並列に接続された第 1 のスイッチ素子と第 2 のスイッチ素子との直列回路と、

前記第 1 のスイッチ素子および第 2 のスイッチ素子にそれぞれ並列に接続されたダイオードと、

前記第 1 の平滑コンデンサと第 2 の平滑コンデンサとの接続点と前記第 1 のスイッチ素子と第 2 のスイッチ素子との接続点との間に 1 次巻線が接続されたトランスと、

該トランスの 2 次巻線に接続されると共にその出力側に負荷が接続される整流平滑回路と、

該整流平滑回路の出力電圧を検出して当該出力電圧が所定の電圧になるように前記第 1 および第 2 のスイッチ素子を制御する制御回路と、

前記全波整流器と前記平滑コンデンサとの間に接続されたインダクタと前記トランスの制御巻線との直列回路とを備えたスイッチング電源。

【請求項 5】 交流電源に接続された全波整流器と、  
該全波整流器の出力端子間に接続された平滑コンデンサと、

該平滑コンデンサの端子間に接続された第 1 のスイッチ素子と第 2 のスイッチ素子との直列回路と、

該第 1 のスイッチ素子および第 2 のスイッチ素子にそれぞれ並列に接続されたダイオードと、

05 前記第 1 のスイッチ素子と第 2 のスイッチ素子との接続点と前記平滑コンデンサの一方の端子との間に接続されたトランスの 1 次巻線とコンデンサとの直列回路と、

該トランスの 2 次巻線に接続されると共にその出力側に負荷が接続される整流平滑回路と、

10 該整流平滑回路の出力電圧を検出して当該出力電圧が所定の電圧になるように前記第 1 および第 2 のスイッチ素子を制御する制御回路と、

前記全波整流器と前記平滑コンデンサとの間に接続されたインダクタと前記トランスの制御巻線との直列回路とを備えたスイッチング電源。

【請求項 6】 交流電源に接続された全波整流器と、  
該全波整流器の出力端子間に接続された平滑コンデンサと、

該平滑コンデンサの端子間に接続されたトランスの第 1 の 1 次巻線と第 1 のスイッチ素子との直列回路および前記トランスの第 2 の 1 次巻線と第 2 のスイッチ素子との直列回路と、

前記第 1 のスイッチ素子および第 2 のスイッチ素子にそれぞれ並列に接続されたダイオードと、

25 前記トランスの 2 次巻線に接続されると共にその出力側に負荷が接続される整流平滑回路と、

該整流平滑回路の出力電圧を検出して当該出力電圧が所定の電圧になるように前記第 1 および第 2 のスイッチ素子を制御する制御回路と、

30 前記全波整流器と前記平滑コンデンサとの間に接続されたインダクタと前記トランスの制御巻線との直列回路とを備えたスイッチング電源。

【請求項 7】 前記トランスの制御巻線に直列に接続されたコンデンサと、該制御巻線とコンデンサとの直列回路に並列に接続されたダイオードとを備えた請求項 4、5 または 6 記載のスイッチング電源。

【請求項 8】 前記第 1 のスイッチ素子および第 2 のスイッチ素子にそれぞれ並列に接続されたコンデンサを備えた請求項 4、5、6 または 7 記載のスイッチング電源。

【請求項 9】 交流電源に接続された全波整流器と、  
該全波整流器の出力端子間に接続された第 1 の平滑コンデンサと第 2 の平滑コンデンサとの直列回路と、

該第 1 の平滑コンデンサと第 2 の平滑コンデンサとの直列回路に並列に接続された第 1 のスイッチ素子と第 2 のスイッチ素子との直列回路と、

前記第 1 のスイッチ素子および第 2 のスイッチ素子にそれぞれ並列に接続されたダイオードと、

前記第 1 のスイッチ素子と第 2 のスイッチ素子との接続点と前記平滑コンデンサの一方の端子との間に接続され

たトランスの 1 次巻線とコンデンサとの直列回路と、  
 該トランスの 2 次巻線に接続されると共にその出力側に  
 負荷が接続される整流平滑回路と、  
 該整流平滑回路の出力電圧を検出して当該出力電圧が所  
 定の電圧になるように前記第 1 および第 2 のスイッチ素  
 子を制御する制御回路と、  
 前記全波整流器の一方の出力端子と前記第 1 の平滑コン  
 デンサと第 2 の平滑コンデンサとの直列回路の一方の端  
 子間に接続された第 1 のインダクタと前記トランスの第  
 1 の制御巻線との直列回路と、  
 前記全波整流器の他方の出力端子と前記第 1 の平滑コン  
 デンサと第 2 の平滑コンデンサとの直列回路の他方の端  
 子間に接続された第 2 のインダクタと前記トランスの第  
 2 の制御巻線との直列回路と、  
 前記交流電源の一方の端子と前記第 1 の平滑コンデンサ  
 と第 2 の平滑コンデンサとの接続点との間に接続された  
 スイッチとを備えたスイッチング電源。

【請求項 10】前記トランスの第 1 の制御巻線および第  
 2 の制御巻線にそれぞれ直列に接続されたコンデンサ  
 と、該第 1 の制御巻線とコンデンサとの直列回路および  
 該第 2 の制御巻線とコンデンサとの直列回路にそれぞれ  
 並列に接続されたダイオードとを備えた請求項 9 記載の  
 スwitchング電源。

【請求項 11】前記第 1 のスイッチ素子および第 2 のス  
 イッチ素子にそれぞれ並列に接続されたコンデンサを備  
 えた請求項 9 または 10 記載のスイッチング電源。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、交流を入力とするス  
 witchング式直流安定化電源装置に関するものである。

【0002】

【従来の技術】図 23 は従来の交流入力のスitchング  
 電源の第 1 の構成を示す。この従来の交流入力のス  
 itchング電源の構成は、商用交流電源 10、ダイオード 2  
 1、22、23、24 から構成された全波整流器 20、  
 平滑コンデンサ 30、1 次巻線 41 と 2 次巻線 42 とを  
 有するトランス 40、スイッチ素子 50、整流平滑回路  
 60、負荷 70、制御回路 80 よりなる。この従来の交  
 流入力のスitchング電源の第 1 の構成の動作は、商用  
 交流電源 10 の入力を全波整流器 20 で整流し、平滑コ  
 ンデンサ 30 でリップルの少ない直流に平滑した後、ス  
 イッチ素子 50 を入力商用交流周波数より高い周波数で  
 オン、オフすることによって、トランス 40 の 1 次巻線 4  
 1 に交流電圧が与えられ、その出力は、トランス 40 の  
 2 次巻線 42 から整流平滑回路 60 に与えられて整流平  
 滑し、直流の出力電圧として負荷 70 に与える。ここ  
 で、制御回路 80 は、整流平滑回路 60 の出力電圧を検  
 出して、それが所定の電圧となるように、スイッチ素子  
 50 をオン、オフする。以上のように、本構成は、商用  
 交流電源 10 の入力を安定な直流電圧に変換し、出力す

る機能を持っている。図 24 に図 23 に示した従来の交  
 流入力のスitchング電源の動作波形を示す。同図

(a) の  $V_{in}(1)$  は商用交流電源 1 の電圧に対する全  
 波整流器 20 の出力電圧を示し、同図 (b) の  $I$

05  $i_{in}(1)$  は商用交流電源 1 からの入力電流の波形を示  
 す。同図からわかるように、この従来例では、入力電流  
 がサージ状になり、力率が極めて低いという問題があ  
 る。そこで、本願発明者等は、図 25 に示すスitchン  
 グ電源を発明し、特願平 5 - 1 7 7 3 7 9 号（以下先願  
 10 発明という）として特許出願している回路である。この  
 図 25 の先願発明のスitchング電源の回路は、全波整  
 流器 20 と平滑コンデンサ 30 との間に、インダクタ 3  
 1 とトランス 40 の制御巻線 45 との直列回路を設けた  
 もので、図 26 に示した入力電圧と電流の波形図から明  
 15 らかなように、力率の高いスitchング電源となっている。

【0003】

【発明が解決しようとする課題】しかしながら、図 23  
 の従来の交流入力のスitchング電源や、図 25 の先願  
 20 発明の回路では、スイッチ素子 50 がオフの期間に、そ  
 の端子間には、平滑コンデンサ 30 の電圧の約 2 倍の電  
 圧が印加され、スイッチ素子として高耐圧のものを使わ  
 なければならず、そのために、スイッチ素子のオン抵抗  
 が大きくなり、スイッチ素子の導通損が増えてスitch  
 25 ング電源としての効率を高くすることが難しいという問  
 題がある。本発明は、上記の点を鑑みなされたもので、  
 力率を先願発明と同様に高力率としながら、スイッチ素  
 子として、より低い耐圧で、オン抵抗の小さいものを用  
 いることのできる構成として、スitchング電源として  
 30 の効率を高くすることを目的としている。

【0004】

【課題を解決するための手段】本発明の主たる第 1 の発  
 明は、交流電源に接続された全波整流器と、該全波整流  
 器の出力端子間に接続された平滑コンデンサと、該平滑  
 35 コンデンサの端子間に接続された第 1 のスイッチ素子と  
 第 2 のスイッチ素子との直列回路および第 3 のスイッチ  
 素子と第 4 のスイッチ素子との直列回路と、前記第 1 の  
 スwitch素子、第 2 のスイッチ素子、第 3 のスイッチ素  
 子および第 4 のスイッチ素子にそれぞれ並列に接続され  
 たダイオードと、前記第 1 のスイッチ素子と第 2 のス  
 40 イッチ素子の接続点と前記第 3 のスイッチ素子と第 4 の  
 スwitch素子の接続点との間に 1 次巻線が接続されたト  
 ランスと、該トランスの 2 次巻線に接続されると共にその  
 出力側に負荷が接続される整流平滑回路と、該整流平滑  
 45 回路の出力電圧を検出して当該出力電圧が所定の電圧に  
 なるように前記第 1 乃至第 4 のスイッチ素子を制御する  
 制御回路と、前記全波整流器と前記平滑コンデンサとの  
 間に接続されたインダクタと前記トランスの制御巻線と  
 の直列回路とを備えたスitchング電源である。

【0005】本発明の主たる第 2 の発明は、交流電源に

接続された全波整流器と、該全波整流器の出力端子間に接続された第 1 の平滑コンデンサと第 2 の平滑コンデンサとの直列回路と、該第 1 の平滑コンデンサと第 2 の平滑コンデンサとの直列回路に並列に接続された第 1 のスイッチ素子と第 2 のスイッチ素子との直列回路と、前記第 1 のスイッチ素子および第 2 のスイッチ素子にそれぞれ並列に接続されたダイオードと、前記第 1 の平滑コンデンサと第 2 の平滑コンデンサとの接続点と前記第 1 のスイッチ素子と第 2 のスイッチ素子との接続点との間に 1 次巻線が接続されたトランスと、該トランスの 2 次巻線に接続されると共にその出力側に負荷が接続される整流平滑回路と、該整流平滑回路の出力電圧を検出して当該出力電圧が所定の電圧になるように前記第 1 および第 2 のスイッチ素子を制御する制御回路と、前記全波整流器と前記平滑コンデンサとの間に接続されたインダクタと前記トランスの制御巻線との直列回路とを備えたスイッチング電源である。

【0006】本発明の主たる第 3 の発明は、交流電源に接続された全波整流器と、該全波整流器の出力端子間に接続された平滑コンデンサと、該平滑コンデンサの端子間に接続された第 1 のスイッチ素子と第 2 のスイッチ素子との直列回路と、該第 1 のスイッチ素子および第 2 のスイッチ素子にそれぞれ並列に接続されたダイオードと、前記第 1 のスイッチ素子と第 2 のスイッチ素子との接続点と前記平滑コンデンサの一方の端子との間に接続されたトランスの 1 次巻線とコンデンサとの直列回路と、該トランスの 2 次巻線に接続されると共にその出力側に負荷が接続される整流平滑回路と、該整流平滑回路の出力電圧を検出して当該出力電圧が所定の電圧になるように前記第 1 および第 2 のスイッチ素子を制御する制御回路と、前記全波整流器と前記平滑コンデンサとの間に接続されたインダクタと前記トランスの制御巻線との直列回路とを備えたスイッチング電源である。

【0007】本発明の主たる第 4 の発明は、交流電源に接続された全波整流器と、該全波整流器の出力端子間に接続された平滑コンデンサと、該平滑コンデンサの端子間に接続されたトランスの第 1 の 1 次巻線と第 1 のスイッチ素子との直列回路および前記トランスの第 2 の 1 次巻線と第 2 のスイッチ素子との直列回路と、前記第 1 のスイッチ素子および第 2 のスイッチ素子にそれぞれ並列に接続されたダイオードと、前記トランスの 2 次巻線に接続されると共にその出力側に負荷が接続される整流平滑回路と、該整流平滑回路の出力電圧を検出して当該出力電圧が所定の電圧になるように前記第 1 および第 2 のスイッチ素子を制御する制御回路と、前記全波整流器と前記平滑コンデンサとの間に接続されたインダクタと前記トランスの制御巻線との直列回路とを備えたスイッチング電源である。

【0008】本発明の主たる第 5 の発明は、交流電源に接続された全波整流器と、該全波整流器の出力端子間に

接続された第 1 の平滑コンデンサと第 2 の平滑コンデンサとの直列回路と、該第 1 の平滑コンデンサと第 2 の平滑コンデンサとの直列回路に並列に接続された第 1 のスイッチ素子と第 2 のスイッチ素子との直列回路と、前記第 1 のスイッチ素子および第 2 のスイッチ素子にそれぞれ並列に接続されたダイオードと、前記第 1 のスイッチ素子と第 2 のスイッチ素子との接続点と前記平滑コンデンサの一方の端子との間に接続されたトランスの 1 次巻線とコンデンサとの直列回路と、該トランスの 2 次巻線に接続されると共にその出力側に負荷が接続される整流平滑回路と、該整流平滑回路の出力電圧を検出して当該出力電圧が所定の電圧になるように前記第 1 および第 2 のスイッチ素子を制御する制御回路と、前記全波整流器の一方の出力端子と前記第 1 の平滑コンデンサと第 2 の平滑コンデンサとの直列回路の一方の端子間に接続された第 1 のインダクタと前記トランスの第 1 の制御巻線との直列回路と、前記全波整流器の他方の出力端子と前記第 1 の平滑コンデンサと第 2 の平滑コンデンサとの直列回路の他方の端子間に接続された第 2 のインダクタと前記トランスの第 2 の制御巻線との直列回路と、前記交流電源の一方の端子と前記第 1 の平滑コンデンサと第 2 の平滑コンデンサとの接続点との間に接続されたスイッチとを備えたスイッチング電源である。

【0009】

【実施例】図 1 は、本発明の第 1 の実施例である。この実施例の構成は、商用交流電源 10、ダイオード 21、22、23、24 から構成された全波整流器 20、平滑コンデンサ 30、インダクタ 31、1 次巻線 41、第 1 の 2 次巻線 42、第 2 の 2 次巻線 44 および制御巻線 45 を有するトランス 40、第 1 のスイッチ素子 51、第 2 のスイッチ素子 52、第 3 のスイッチ素子 53、第 4 のスイッチ素子 54、第 1 乃至第 4 のスイッチにそれぞれ並列接続されたダイオード 55、56、57、58、ダイオード 61、62、インダクタ 63 およびコンデンサ 64 から構成されている整流平滑回路 60、負荷 70、制御回路 80 よりなる。次に、この実施例の動作を説明する。

【0010】まず、トランス 40 の各巻線の巻数をそれぞれ 1 次巻線 41 が  $N_1$ 、第 1 の 2 次巻線 42 が  $N_2 - 1$ 、第 2 の 2 次巻線 44 が  $N_2 - 2$ 、制御巻線 45 が  $N_4$  とし、図 1 の中で a 点、b 点の電位をそれぞれ  $V_a$ 、 $V_b$  とする。ここで、 $N_1 = N_4$  に設定すると、制御回路 80 によりスイッチ素子 51 と 54 がオンで、スイッチ素子 52 と 53 がオフの時、トランス 40 の 1 次巻線 41 には、平滑コンデンサ 30 の電圧、即ち  $V_0$  が印加される。この時、トランス 40 の制御巻線 45 には、 $V_0 \times N_4 / N_1$  なる電圧が発生するが、 $N_1 = N_4$  と設定してあるため、これは  $V_0$  に等しい電圧となる。従って、a 点の電圧  $V_a$  は、平滑コンデンサ 30 の電圧  $V_0$  からトランス 40 の制御巻線 45 の発生電圧  $V_0$  を差し

引くと、零ボルトになる。即ちスイッチ素子 5 1 と 5 4 がオンで、スイッチ素子 5 2 と 5 3 がオフの時には a 点の電位は常に零ボルトになる。

【0011】また、この時の回路の中の電流の流れは、第 1 に平滑コンデンサ 3 0 から第 1 のスイッチ素子 5 1、トランス 4 0 の 1 次巻線 4 1、第 1 の 2 次巻線 4 2、整流回路 6 0 と負荷 7 0 を経由してトランス 4 0 の 1 次巻線 4 1 へもどり、第 4 のスイッチ素子 5 4 を流れ、これによって平滑コンデンサ 3 0 のエネルギーを負荷 7 0 へ送っている。また、この時には a 点の電圧  $V_a$  は常に零ボルトになるので、インダクタ 3 1 には、入力電圧  $V_{in}(3)$  が印加され、インダクタ 3 1 のインダクタンスを  $L_{31}$ 、インダクタ 3 1 を流れる電流を  $I_{L-1}$  とし、スイッチ素子 5 1 と 5 4 がオンしてからの時間を  $t$  とすると、

【数 1】

$$I_{L-1} = \frac{V_{in}(3)}{L_{31}} t \quad \dots\dots\dots (1)$$

で決定される電流がインダクタ 3 1 を流れる。この電流は、まず、トランス 4 0 の制御巻線 4 5 を流れ、平滑コンデンサ 3 0 を通って、商用交流電源 1 0 と全波整流器 2 0 を通り、インダクタ 3 1 にもどる経過で流れ、この期間に商用交流電源 1 0 のエネルギーがインダクタ 3 1 に蓄えられる。

【0012】次に、制御回路 8 0 により第 1 のスイッチ素子 5 1 と第 4 のスイッチ素子 5 4 をオフにすると、トランス 4 0 の励磁電流がトランス 4 0 の 1 次巻線 4 1 から第 3 のダイオード 5 7、平滑コンデンサ 3 0、第 2 のダイオード 5 6 を通って 1 次巻線 4 1 にもどる経過で流

$$I_{L-2} = \frac{V_{in}(3)}{L_{31}} \cdot t_1 - \frac{V_b \times \frac{N_4}{N_1} - V_{in}(3)}{L} \cdot t \quad \dots\dots\dots (2)$$

で決定される電流が、インダクタ 3 1 からトランス 4 0 の制御巻線 4 5 を流れ、平滑コンデンサ 3 0 を通って商用交流電源 1 0 と、全波整流器 2 0 を通り、インダクタ 3 1 にもどる経路で流れ、この期間にインダクタ 3 1 に蓄えられたエネルギーが平滑 3 0 に送られる。

【0014】次に、制御回路 8 0 により第 2 のスイッチ素子 5 2 と第 3 のスイッチ素子 5 3 とをオフにすると、トランス 4 0 の励磁電流がトランス 4 0 の 1 次巻線 4 1 から第 1 のダイオード 5 5、平滑コンデンサ 3 0、第 4 のダイオード 5 8 を通って 1 次巻線 4 1 にもどる経過で流れる。そこで、c 点の電位は平滑コンデンサ 3 0 の正極側の電位とほぼ同じくなり、一方 d 点の電位は平滑コンデンサ 3 0 の負極側の電位とほぼ同じになる。そのため、第 2 のスイッチ素子 5 2 と第 3 のスイッチ素子 5 3 に印加される電圧は、平滑コンデンサ 3 0 の端子間電圧  $V_b$  とほぼ同じになる。また、この期間にトランス 4 0

の 1 次巻線 4 1 には、 $V_b$  の電圧が印加され、トランス 4 0 の制御巻線 4 5 には、 $-V_b \times N_4 / N_1$  なる電圧が発生している。

【0013】次に、制御回路 8 0 により第 1 のスイッチ素子 5 1 と第 4 のスイッチ素子 5 4 がオフのままで、第 2 のスイッチ素子 5 2 と第 3 のスイッチ素子 5 3 とをオンさせると、トランス 4 0 の 1 次巻線 4 1 には引き続き  $-V_b$  の電圧が印加され、トランス 4 0 の制御巻線 4 5 には、 $-V_b \times N_4 / N_1$  なる電圧が発生する。また、この時の回路の中の電流の流れは、第 1 に平滑コンデンサ 3 0 から第 3 のスイッチ素子 5 3、トランス 4 0 の 1 次巻線 4 1、第 2 の 2 次巻線 4 4、整流平滑回路 6 0 と、負荷を経由してトランス 4 0 の 1 次巻線 4 1 へもどり、第 2 のスイッチ素子 5 2 を流れ、これによって平滑コンデンサ 3 0 のエネルギーが負荷 7 0 に送られる。また、このトランス 4 0 の 1 次巻線 4 1 に  $-V_b$  の電圧が印加され、トランス 4 0 の制御巻線 4 5 にも  $-V_b \times N_4 / N_1$  なる電圧が発生している。そのため、この期間には、インダクタ 3 1 には入力電圧  $V_{in}(3)$  との差の電圧、即ち  $V_{in}(3) - V_b \times N_4 / N_1$  の電圧が印加されて、インダクタ 3 1 を流れる電流は減少する。また、この時インダクタ 3 1 を流れる電流は、

【数 2】

の 1 次巻線 4 1 には、 $V_b$  の電圧が印加され、トランス 4 0 の制御巻線 4 5 には、 $V_b \times N_4 / N_1$  なる電圧が発生する。

【0015】以上のような動作を繰り返すと同時に制御回路 8 0 は、整流平滑回路 6 0 の出力電圧が所定の電圧になるように、第 1 から第 4 のスイッチ素子 5 1 ~ 5 4 以降の回路で構成されるフルブリッジ回路の、第 1 から第 4 のスイッチ素子 5 1 ~ 5 4 のオン・オフの期間を変えて制御する。図 2 1 は、本発明の図 1 に示した第 1 の実施例の動作タイミングを示す波形図である。同図

(a) は、第 1 のスイッチ素子 5 1 と第 4 のスイッチ素子 5 4 のオン・オフのタイミングを示し、 $T_2$  の期間だけオンしている。同図 (b) は、第 2 のスイッチ素子 5 2 と第 3 のスイッチ素子 5 3 のオン・オフのタイミングを示し、 $T_4$  の期間だけオンしている。同図 (c) は c 点の電位を示し、同図 (d) は d 点の電位を示し、同図

(e) は c 点と d 点の電位差を示している。同図 (f) はトランス 40 の制御巻線 45 に発生する電圧、即ち  $V_b - V_a$  を示し、同図 (g) はインダクタ 31 を流れる電流を示している。また、図 22 は本発明の第 1 の実施例の動作波形図である。同図 (a) は全波整流器 20 の出力電圧  $V_{in}$  (3) の波形図であり、同図 (b) は全波整流器 20 の出力電流  $I_{in}$  (3) の波形図であり、同図 (c) は同図 (b) の出力電流  $I_{in}$  (3) の一部拡大波形図である。ここで、図中、 $t_1$  の期間にインダクタ 31 を流れる電流は前述の式 1 で増加するので、第 1 から第 4 のスイッチ素子 51 ~ 54 が高周波でオン・オフする 1 周期の間にインダクタ 31 を流れる電流は、必ず零アンペアにもどるように各部の定数を設定すると、高周波でオン・オフする各 1 周期でのインダクタ 31 の電流のピーク値  $I_L$  (perk) は、

$$I_L \text{ (peak)} = \frac{V_{in}(3)}{L_{s1}} \cdot t_1 \quad \text{..... (3)}$$

となる。

【0016】そこで、 $V_{in}$  (3) は、正弦波であるので、上式より、インダクタ 31 の電流のピーク値  $I_L$  (perk) を結んだ線も正弦波となり、インダクタ 31 を流れる電流は、図 22 (b) に示すようになり、その高周波スイッチングの 1 周期における平均値  $I_L$  (ave) も、ほぼ正弦波となる。即ち、高周波で増減しているインダクタ 31 の電流に対して全波整流器 20 の直前か、又は直後に高周波リプル除去用のローパスフィルタを使用することにより、商用入力電流波形を近似的に正弦波にすることができ、力率を高くすることができる。以上のように、図 1 に示す第 1 の実施例では、本願発明者等による先願発明の回路と同様に、力率の高い電源となっているが、スイッチ素子に印加される電圧は、先願発明の回路では平滑コンデンサ 30 の約 2 倍の電圧が印加されるのに対して、本発明の図 1 に示した第 1 の実施例では平滑コンデンサ 30 の電圧と同じ電圧だけ印加されるので、スイッチ素子として、低耐圧でオン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができる。

【0017】図 2 は本発明の第 2 の実施例である。図 2 の構成が図 1 の実施例と異なる点は、図 1 の第 3 のスイッチ素子 53 と第 3 のダイオード 57 の代わりに、第 1 の平滑コンデンサ 33 を用い、第 4 のスイッチ素子 54 と第 4 のダイオード 58 の代わりに、第 2 の平滑コンデンサ 34 を用い、図 1 の平滑コンデンサ 30 は使用していない点である。図 2 の実施例の動作は図 1 の実施例の動作と大略同じであるが、第 1 のコンデンサ 33 と第 2 のコンデンサ 34 のキャパシタンス値が同じであると、図 2 の中の e 点の電位は、b 点の電位  $V_b$  の  $1/2$  に固定され、そのために、トランス 40 の 1 次巻線 41 の端

子間に印加される電圧が、図 1 の実施例の当該端子間の印加電圧の  $1/2$  になることである。そこで、トランス 40 の制御巻線 45 の巻数  $N_4$  を、その 1 次巻線 41 の巻数  $N_1$  の 2 倍に設定すれば、制御巻線 45 に発生する電圧は図 1 の実施例と同じくすることができる。

【0018】また、図 1 の平滑コンデンサ 30 の役割は、図 2 の第 2 の平滑コンデンサ 33 と、第 2 の平滑コンデンサ 34 の直列回路が果たしており、また、図 1 における第 3 のスイッチ素子 53 または第 3 のダイオード 57 を流れる電流は、図 2 では第 1 の平滑コンデンサ 33 を流れ、図 1 での第 4 のスイッチ素子 54 または第 4 のダイオード 58 を流れる電流は、図 2 では第 2 の平滑コンデンサを流れる。以上のような動作を繰り返すと同時に、制御回路 80 は整流平滑回路 60 の出力電圧が所定の電圧になるように、第 1、第 2 のスイッチ素子 51、52 以降の回路で構成されるハーフブリッジ回路の、第 1、第 2 のスイッチ素子 51、52 のオン・オフ期間を変えて制御している。

【0019】このように、図 2 に示す第 2 の実施例は、図 1 に示す第 1 の実施例と同様に、力率の高い電源となっていると同時に、第 1 および第 2 のスイッチ素子 51、52 に印加される電圧が、第 1 の平滑コンデンサ 33 と、第 2 の平滑コンデンサ 34 の直列回路で構成される入力平滑回路の電圧  $V_b$  と同じ電圧だけであるので、スイッチ素子として、低耐圧でオン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができる。

【0020】図 3 は本発明の第 3 の実施例である。図 3 の構成が、図 2 の実施例と異なる点は、図 2 の第 1 の平滑コンデンサ 33 と、第 2 の平滑コンデンサ 34 の直列回路の代わりに、平滑コンデンサ 30 が使用され、さらに、コンデンサ 59 がトランス 40 の 1 次巻線 41 と該平滑コンデンサ 30 の間に接続されていることである。この動作は図 2 の回路と基本動作は同じであり、異なるのはトランス 40 のもれインダクタと、コンデンサ 59 が直列接続のため、そこを流れる電流が共振電流となり、正弦波形となるため、第 1 と第 2 のスイッチ素子 51、52 でのスイッチング損失が減るという効果がある。その他の動作は図 2 の第 2 の実施例と同様に、力率の高い電源となっていると同時に、スイッチ素子として、低耐圧で、オン抵抗の低いものを用いることができるので、スイッチング電源としての効率を高くすることができる。

【0021】図 4 は本発明の第 4 の実施例である。図 4 の構成が、図 2 の実施例と異なる点は、図 2 の第 1 および第 2 の平滑コンデンサ 33、34 の直列回路の代りに平滑コンデンサ 30 が使用され、さらに、トランス 40 の 1 次巻線を第 1 の 1 次巻線 41 と第 2 の 1 次巻線 46 とし、第 1 の 1 次巻線 41 と第 1 のスイッチ素子 51 の直列回路と、第 2 の 1 次巻線と第 2 のスイッチ素子 52

の直列回路をそれぞれ平滑コンデンサ 30 の両端子間に接続したものである。図 4 の実施例の動作は、図 2 の第 2 の実施例の動作と大略同じであるが、異なる点は、第 2 の実施例では、第 1 のスイッチ素子 51 又は第 2 のスイッチ素子 52 がオンする時に第 1 のコンデンサ 33 と、第 2 の平滑コンデンサ 34 の直列接続で構成される平滑コンデンサの電圧  $V_0$  の  $1/2$  の電圧がトランス 40 の 1 次巻線 41 に印加されるのに対して、図 4 の第 4 の実施例では第 1 のスイッチ素子 51 または第 2 のスイッチ素子 52 がオンする時に、トランス 40 の第 1 の 1 次巻線 41、または第 2 の 1 次巻線 46 には平滑コンデンサ 30 の電圧  $V_0$  がそのまま印加されることである。

【0022】以上のような動作を繰り返すと同時に、制御回路 80 は整流平滑回路 60 の出力電圧が所定の電圧になるように、第 1、第 2 のスイッチ素子 51、52 以降の回路で構成されるプッシュプル回路の、第 1、第 2 のスイッチ素子 51、52 のオン・オフの期間を変えて制御している。おな、図 4 の第 4 の実施例においては、第 1 の 1 次巻線 41 の巻数  $N1-1$  と第 2 の 1 次巻線 46 の巻数  $N2-2$  とを同じくし、制御巻線 45 の巻数  $N4$  を第 1 および第 2 の 1 次巻線の巻数と同じくすれば、制御巻線 45 に発生する電圧は、図 2 の実施例と同じになる。従って、図 4 に示す第 4 の実施例も、図 2 の実施例と同様に力率の高い電源となっておりと同時に、第 1 および第 2 のスイッチ素子 51、52 に印加される電圧が、平滑コンデンサ 30 の電圧  $V_0$  と同じ電圧だけであるので、スイッチ素子として低耐圧でオン抵抗の低いものを用いることができるので、スイッチング電源としての効率を高くすることができる。

【0023】図 5 は本発明の第 5 の実施例である。図 5 の構成が、図 3 の実施例と異なるのは、図 3 では平滑コンデンサ 30 を使用しているのに対し、図 5 では、第 1 の平滑コンデンサ 35 と、第 2 の平滑コンデンサ 36 の直列回路を使用しており、さらに、第 1 の平滑コンデンサ 35 と第 2 のコンデンサ 36 の接続点と交流電源 10 との間に、スイッチ 37 を接続しており、また、図 3 では全波整流器 20 と平滑コンデンサ 30 の間に、インダクタ 31 とトランス 40 の制御巻線 45 が接続されているのに対し、図 5 では、全波整流器 20 と第 1 の平滑コンデンサ 35 との間に第 1 のインダクタ 31 とトランス 40 の第 1 の制御巻線 45 の直列回路が接続され、全波整流器 20 と第 2 の平滑コンデンサ 36 の間に、第 2 のインダクタ 38 とトランス 40 の第 2 の制御巻線 47 が接続されている点である。

【0024】図 5 の動作は大略、図 3 の動作と同じであるが、異なる点は、図 5 では、交流電源 10 の実効電圧が高い時にはスイッチ 37 をオフさせ、低い時にはオンさせて使用することである。このようにすると、まず、交流電源 10 の実効電圧が高くて、スイッチ 37 がオフの時には、図 5 の第 1 のインダクタ 31 と第 2 のインダ

クタ 38 のインダクタンスをそれぞれ図 3 のインダクタ 31 の  $1/2$  に設定し、また、トランス 40 の第 1 の制御巻線 45 と第 2 の制御巻線 47 の巻数をそれぞれ図 3 の制御巻線 45 の  $1/2$  に設定しておく、図 5 の第 1 のインダクタ 31 と第 2 のインダクタ 38、およびトランス 40 の第 1 の制御巻線 45 と第 2 の制御巻線 47 は、図 3 のインダクタ 31 と、制御巻線 45 がそれぞれ全波整流器 20 と平滑コンデンサ 30 との間で、上下に分散された形となるが、回路動作は同じである。

【0025】一方、交流電源 10 の実効電圧が低く、スイッチ 37 をオンさせた時の動作は交流電源 10 の極性が図 5 に示す期間には、交流電源 10 から全波整流器 20 のダイオード 21、第 1 のインダクタ 31、第 1 の制御巻線 45、第 1 の平滑コンデンサ 35、スイッチ 37 を通って交流電源 10 にもどる第 1 の経路ができる。また、交流電源 10 の極性が図 5 に示す極性と逆の期間には、交流電源 10 からスイッチ 37、第 2 の平滑コンデンサ 36、第 2 の制御巻線 47、第 2 のインダクタ 38、全波整流器 20 のダイオード 22 を通って交流電源 10 にもどる第 2 の経路ができる。これらの第 1 の経路と第 2 の経路は、図 3 において、交流電源 10 から全波整流器 20、インダクタ 31、制御巻線 45、平滑コンデンサ 30 から交流電源 10 へもどる経路と同じ動作をする。

【0026】そこで、交流電源 10 の実効電圧が低い時に、スイッチ 37 をオンさせると、スイッチ 37 をオフさせておいた時に第 1 の平滑コンデンサ 35 と、第 2 の平滑コンデンサ 36 の直列回路の端子間に発生する電圧と大略同様の電圧を、第 1 の平滑コンデンサ 35 と、第 2 の平滑コンデンサ 36 のそれぞれの端子間に発生させることができ、その結果、交流電源 10 の実効電圧が低い時にも、第 1 の平滑コンデンサ 35 と、第 2 の平滑コンデンサ 36 の直列回路の端子間電圧を大略 2 倍に大きくすることができる。

【0027】そのため、一般に入力電圧の低い時には、平滑コンデンサの電圧も低くなり、同じ電力をとるためには、大電流を必要とするが、図 5 の実施例は図 3 の実施例と比較して、入力電源 10 の電圧の低い時にも、平滑コンデンサ 35、36 の電圧を高く維持しているの、大電流が流れないという特徴をもっている。一方、図 5 の第 5 の実施例の DC/DC コンバータ部の構成は、図 3 の第 3 の実施例のものと同じであるので、図 3 の第 3 の実施例と同様に、力率の高い電源である。また、それと同時に、第 1 のスイッチ素子 51 と第 2 のスイッチ素子 52 に印加される電圧は、第 1 の平滑コンデンサ 35 と第 2 の平滑コンデンサ 36 の直列回路の端子間電圧と同じ電圧であるので、スイッチ素子として低耐圧でオン抵抗の低いものを用いることができるので、スイッチング電源としての効率を高くすることができる。

【0028】図 6 は本発明の第 6 の実施例である。この

実施例は、図 1 に示した実施例と基本回路構成を同じくするもので、図 1 の構成と異なる図 6 の構成は、制御巻線 4 5 と直列にコンデンサ 9 1 を接続し、さらに制御巻線 4 5 とコンデンサ 9 1 の直列回路と並列にダイオード 9 2 を接続している点である。図 6 の実施例の動作は、第 1 のスイッチ素子 5 1 と第 4 のスイッチ素子 5 4 がオンで、第 2 のスイッチ素子 5 2 と第 3 のスイッチ素子 5 3 がオフの場合、インダクタ 3 1 の電流はコンデンサ 9 1 を介してトランス 4 0 の制御巻線 4 5 と平滑コンデンサ 3 0 を通って流れるので、コンデンサ 9 1 がその電流によって充電され、その電圧が平滑コンデンサ 3 0 の電圧よりも高くなると、インダクタ 3 1 の電流はダイオード 9 2 を通って、平滑コンデンサ 3 0 に流れ込む。即ち、第 1 のスイッチ素子 5 1 と第 4 のスイッチ素子 5 4 がオンしているにもかかわらず、インダクタ 3 1 の昇圧時間が短くなり、これは、入力電圧  $V_{in}$  (3) が高いほど昇圧時間は短くなる。

【0029】また、第 1 のスイッチ素子 5 1 と第 4 のスイッチ素子 5 4 がオフし、第 2 のスイッチ素子 5 2 と第 3 のスイッチ素子 5 3 がオンする期間には、インダクタ 3 1 の電流は、ダイオード 9 2 を介して平滑コンデンサ 3 0 に流れ込み、また同時にトランス 4 0 の制御巻線 4 5 によってコンデンサ 9 1 は逆方向に充電され、電圧が下がる。即ち、図 6 の構成では、インダクタ 3 1 の昇圧時間は、入力電圧  $V_{in}$  (3) が高いほど短くなるため、インダクタ 3 1 の電流が、第 1 から第 4 のスイッチ素子 5 1 ~ 5 4 がオン・オフ動作をしている一周で、零アンペアに戻らないところのインダクタ 3 1 の電流連続モードであっても、入力電流  $I_{in}$  (3) が、概ね正弦波に対応した波形となり、力率を高くすることができる。また、図 6 の構成は図 1 の実施例と同様に、第 1 ~ 第 4 のスイッチ素子 5 1 ~ 5 4 に印加される電圧は平滑コンデンサ 3 0 の電圧と同じであるので、スイッチ素子として低耐圧で、オン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができる。

【0030】図 7 は本発明の第 7 の実施例である。この実施例は、図 2 に示した実施例と基本回路構成を同じくするもので、図 2 の構成と異なる図 7 の構成は、制御巻線 4 5 と直列にコンデンサ 9 1 を接続し、さらに制御巻線 4 5 とコンデンサ 9 1 の直列回路と並列にダイオード 9 2 を接続している点である。この図 7 におけるコンデンサ 9 1 とダイオード 9 2 を付加した回路の動作は、図 6 におけるコンデンサ 9 1 とダイオード 9 2 の動作と同じであり、インダクタ 3 1 の電流が連続モードとなり、入力電流  $I_{in}$  (3) が概ね正弦波に対応した波形となり、力率を高くすることができる。また、図 7 の構成は図 2 の実施例と同様に第 1 および第 2 のスイッチ素子 5 1, 5 2 に印加される電圧は、第 1 の平滑コンデンサ 3 3 と第 2 の平滑コンデンサ 3 4 の直列接続された平滑コンデンサの電圧と同じであるので、スイッチ素子として

低耐圧で、オン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができる。

【0031】図 8 は本発明の第 8 の実施例である。この実施例は、図 3 に示した実施例と基本回路構成を同じくするもので、図 3 の構成と異なる図 8 の構成は、制御巻線 4 5 と直列にコンデンサ 9 1 を接続し、さらに制御巻線 4 5 とコンデンサ 9 1 の直列回路と並列にダイオード 9 2 を接続している点である。この図 8 におけるコンデンサ 9 1 とダイオード 9 2 を付加した回路の動作は、図 6 におけるコンデンサ 9 1 とダイオード 9 2 の動作と同じであり、インダクタ 3 1 の電流が連続モードとなり、入力電流  $I_{in}$  (3) が概ね正弦波に対応した波形となり、力率を高くすることができる。また、図 8 の構成は図 3 の実施例と同様に第 1 および第 2 のスイッチ素子 5 1, 5 2 に印加される電圧は、平滑コンデンサ 3 0 の電圧と同じであるので、スイッチ素子として低耐圧で、オン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができる。

【0032】図 9 は本発明の第 9 の実施例である。この実施例は、図 4 に示した実施例と基本回路構成を同じくするもので、図 4 の構成と異なる図 9 の構成は、制御巻線 4 5 と直列にコンデンサ 9 1 を接続し、さらに制御巻線 4 5 とコンデンサ 9 1 の直列回路と並列にダイオード 9 2 を接続している点である。この図 9 におけるコンデンサ 9 1 とダイオード 9 2 を付加した回路の動作は、図 6 におけるコンデンサ 9 1 とダイオード 9 2 の動作と同じであり、インダクタ 3 1 の電流が連続モードとなり、入力電流  $I_{in}$  (3) が概ね正弦波に対応した波形となり、力率を高くすることができる。また、図 9 の構成は図 4 の実施例と同様に第 1 および第 2 のスイッチ素子 5 1, 5 2 に印加される電圧は、平滑コンデンサ 3 0 の電圧と同じであるので、スイッチ素子として低耐圧で、オン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができる。

【0033】図 10 は本発明の第 10 の実施例である。この実施例は、図 5 に示した実施例と基本回路構成を同じくするもので、図 5 の構成と異なる図 10 の構成は、第 1 の制御巻線 4 5 と直列に第 2 のコンデンサ 9 1 を接続し、第 1 の制御巻線 4 5 と第 2 のコンデンサ 9 1 の直列回路と並列に第 3 のダイオード 9 2 を接続し、また第 2 の制御巻線 4 7 と直列に第 3 のコンデンサ 9 3 を接続し、第 2 の制御巻線 4 7 と第 3 のコンデンサ 9 3 の直列回路と並列に第 4 のダイオード 9 4 を接続している点である。

【0034】図 10 における第 2 のコンデンサ 9 1 と第 3 のダイオード 9 2、および第 3 のコンデンサ 9 3 と第 4 のダイオード 9 4 を付加した回路の動作は、図 6 におけるコンデンサ 9 1 とダイオード 9 2 の動作と同じであり、第 1 のインダクタ 3 1 と第 2 のインダクタ 3 8 の電流が連続モードとなり、入力電流  $I_{in}$  (3) が概ね正弦

波に対応した波形となり、力率を高くすることができる。また、図 10 の構成は、図 5 の実施例と同様に第 1 のスイッチ素子 5 1 と第 2 のスイッチ素子 5 2 に印加される電圧が、第 1 の平滑コンデンサ 3 5 と第 2 の平滑コンデンサ 3 6 の直列回路の端子間電圧と同じであるので、スイッチ素子として低耐圧で、オン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができる。

【0035】図 11 は本発明の第 11 の実施例である。この実施例は、図 1 に示した実施例と基本回路構成を同じくするもので、図 1 の構成と異なる図 11 の構成は、第 1 のスイッチ素子 5 1 と並列に第 1 のコンデンサ 9 5 を接続し、第 2 のスイッチ素子 5 2 と並列に第 2 のコンデンサ 9 6 を接続し、第 3 のスイッチ素子 5 3 と並列に第 3 のコンデンサ 9 7 を接続し、第 4 のスイッチ素子 5 4 と並列に第 4 のコンデンサ 9 8 を接続している点である。このような構成にすることにより、第 1 から第 4 のコンデンサ 9 5 ~ 9 8 は、それぞれトランス 4 0 のもれインダクタンスと直列共振回路を構成し、それぞれのコンデンサ 9 5 ~ 9 8 はそれが並列に接続されているスイッチ素子 5 1 ~ 5 4 のオフの期間にそのスイッチ素子の端子間電圧を共振によって、零ボルトまで下げることができる。そこで、それぞれのスイッチ素子 5 1 ~ 5 4 の端子間電圧が零ボルトまで下がってから、そのスイッチ素子 5 1 ~ 5 4 をオンさせるようにすると、そのスイッチ素子のターン・オン時のスイッチング損失を減らすことができ、スイッチング電源としての効率を上げることができる。また、図 11 のその他の構成部分は、図 1 の構成と同じであるので、前記の効果の他に図 1 の実施例と同じ効果を得ることができる。即ち、図 11 の構成は図 1 の実施例と同様に、力率の高いスイッチング電源であると同時に、スイッチ素子 5 1 ~ 5 4 に印加される電圧が平滑コンデンサ 3 0 の電圧と同じであるので、スイッチ素子として低耐圧でオン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができる。

【0036】図 12 は本発明の第 12 の実施例である。この実施例は、図 2 に示した実施例と基本回路構成を同じくするもので、図 2 の構成と異なる図 12 の構成は、第 1 のスイッチ素子 5 1 と並列に第 1 のコンデンサ 9 5 を接続し、第 2 のスイッチ素子 5 2 と並列に第 2 のコンデンサ 9 6 を接続している点である。このような構成にすることにより、第 1 と第 2 のコンデンサ 9 5、9 6 は、それぞれトランス 4 0 のもれインダクタンスと直列共振回路を構成し、それぞれのコンデンサ 9 5、9 6 はそれが並列に接続されているスイッチ素子 5 1、5 2 のオフの期間にそのスイッチ素子の端子間電圧を共振によって、零ボルトまで下げることができる。そこで、それぞれのスイッチ素子 5 1、5 2 の端子間電圧が零ボルトまで下がってから、そのスイッチ素子 5 1、5 2 をオン

させるようにすると、そのスイッチ素子のターン・オン時のスイッチング損失を減らすことができ、スイッチング電源としての効率を上げることができる。また、図 12 のその他の構成部分は、図 2 の構成と同じであるので、前記の効果の他に図 2 の実施例と同じ効果を得ることができる。即ち、図 12 の構成は図 2 の実施例と同様に、力率の高いスイッチング電源であると同時に、スイッチ素子 5 1、5 2 に印加される電圧が、第 1 の平滑コンデンサ 3 3 と第 2 の平滑コンデンサ 3 4 の直列回路で構成される平滑コンデンサの端子間電圧と同じであるので、スイッチ素子として低耐圧でオン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができる。

【0037】図 13 は本発明の第 13 の実施例である。この実施例は、図 3 に示した実施例と基本回路構成を同じくするもので、図 3 の構成と異なる図 13 の構成は、第 1 のスイッチ素子 5 1 と並列に第 1 のコンデンサ 9 5 を接続し、第 2 のスイッチ素子 5 2 と並列に第 2 のコンデンサ 9 6 を接続している点である。このような構成にすることにより、第 1 と第 2 のコンデンサ 9 5、9 6 は、それぞれトランス 4 0 のもれインダクタンスと直列共振回路を構成し、それぞれのコンデンサ 9 5、9 6 はそれが並列に接続されているスイッチ素子 5 1、5 2 のオフの期間にそのスイッチ素子の端子間電圧を共振によって、零ボルトまで下げることができる。そこで、それぞれのスイッチ素子 5 1、5 2 の端子間電圧が零ボルトまで下がってから、そのスイッチ素子 5 1、5 2 をオンさせるようにすると、そのスイッチ素子のターン・オン時のスイッチング損失を減らすことができ、スイッチング電源としての効率を上げることができる。また、図 13 のその他の構成部分は、図 3 の構成と同じであるので、前記の効果の他に図 3 の実施例と同じ効果を得ることができる。即ち、図 13 の構成は図 3 の実施例と同様に、力率の高いスイッチング電源であると同時に、スイッチ素子 5 1、5 2 に印加される電圧が、平滑コンデンサ 3 0 の端子間電圧と同じであるので、スイッチ素子として低耐圧でオン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができる。

【0038】図 14 は本発明の第 14 の実施例である。この実施例は、図 4 に示した実施例と基本回路構成を同じくするもので、図 4 の構成と異なる図 14 の構成は、第 1 のスイッチ素子 5 1 と並列に第 1 のコンデンサ 9 5 を接続し、第 2 のスイッチ素子 5 2 と並列に第 2 のコンデンサ 9 6 を接続している点である。このような構成にすることにより、第 1 と第 2 のコンデンサ 9 5、9 6 は、それぞれトランス 4 0 のもれインダクタンスと直列共振回路を構成し、それぞれのコンデンサ 9 5、9 6 はそれが並列に接続されているスイッチ素子 5 1、5 2 のオフの期間にそのスイッチ素子の端子間電圧を共振によ

って、零ボルトまで下げることができる。そこで、それぞれのスイッチ素子 5 1, 5 2 の端子間電圧が零ボルトまで下がってから、そのスイッチ素子をオンさせるようにすると、そのスイッチ素子 5 1, 5 2 のターン・オン時のスイッチング損失を減らすことができ、スイッチング電源としての効率を上げることができる。また、図 1 4 のその他の構成部分は、図 4 の構成と同じであるので、前記の効果の他に図 4 の実施例と同じ効果を得ることができる。即ち、図 1 4 の構成は図 4 の実施例と同様に、力率の高いスイッチング電源であると同時に、スイッチ素子 5 1, 5 2 に印加される電圧が、平滑コンデンサ 3 0 の端子間電圧と同じであるので、スイッチ素子として低耐圧でオン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができる。

【0039】図 1 5 は本発明の第 1 5 の実施例である。この実施例は、図 5 に示した実施例と基本回路構成を同じくするもので、図 5 の構成と異なる図 1 5 の構成は、第 1 のスイッチ素子 5 1 と並列に第 1 のコンデンサ 9 5 を接続し、第 2 のスイッチ素子 5 2 と並列に第 2 のコンデンサ 9 6 を接続している点である。このような構成にすることにより、第 1 と第 2 のコンデンサ 9 5, 9 6 は、それぞれトランス 4 0 のもれインダクタンスと直列共振回路を構成し、それぞれのコンデンサ 9 5, 9 6 はそれが並列に接続されているスイッチ素子 5 1, 5 2 のオフの期間にそのスイッチ素子の端子間電圧を共振によって、零ボルトまで下げることができる。そこで、それぞれのスイッチ素子 5 1, 5 2 の端子間電圧が零ボルトまで下がってから、そのスイッチ素子 5 1, 5 2 をオンさせるようにすると、そのスイッチ素子のターン・オン時のスイッチング損失を減らすことができ、スイッチング電源としての効率を上げることができる。また、図 1 5 のその他の構成部分は、図 5 の構成と同じであるので、前記の効果の他に図 5 の実施例と同じ効果を得ることができる。即ち、図 1 5 の構成は図 5 の実施例と同様に、力率の高いスイッチング電源であると同時に、スイッチ素子 5 1, 5 2 に印加される電圧が、第 1 の平滑コンデンサ 3 5 と第 2 の平滑コンデンサ 3 6 の直列回路で構成される平滑コンデンサの端子間電圧と同じであるので、スイッチ素子として低耐圧でオン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができる。

【0040】図 1 6 は本発明の第 1 6 の実施例である。この実施例は、図 6 に示した実施例と基本回路構成を同じくするもので、図 6 の構成と異なる図 1 6 の構成は、第 1 のスイッチ素子 5 1 と並列に第 1 のコンデンサ 9 5 を接続し、第 2 のスイッチ素子 5 2 と並列に第 2 のコンデンサ 9 6 を接続し、第 3 のスイッチ素子 5 3 と並列に第 3 のコンデンサ 9 7 を接続し、第 4 のスイッチ素子 5 4 と並列に第 4 のコンデンサ 9 8 を接続している点であ

る。このような構成にすることにより、第 1 から第 4 のコンデンサ 9 5 ~ 9 8 は、それぞれトランス 4 0 のもれインダクタンスと直列共振回路を構成し、それぞれのコンデンサ 9 5 ~ 9 8 はそれが並列に接続されているスイッチ素子 5 1 ~ 5 4 のオフの期間にそのスイッチ素子の端子間電圧を共振によって、零ボルトまで下げることができる。そこで、それぞれのスイッチ素子 5 1 ~ 5 4 の端子間電圧が零ボルトまで下がってから、そのスイッチ素子 5 1 ~ 5 4 をオンさせるようにすると、そのスイッチ素子のターン・オン時のスイッチング損失を減らすことができ、スイッチング電源としての効率を上げることができる。また、図 1 6 のその他の構成部分は、図 6 の構成と同じであるので、前記の効果の他に図 6 の実施例と同じ効果を得ることができる。即ち、図 1 6 の構成は図 6 の実施例と同様に、力率の高いスイッチング電源であると同時に、スイッチ素子 5 1 ~ 5 4 に印加される電圧が、平滑コンデンサ 3 0 の端子間電圧と同じであるので、スイッチ素子として低耐圧でオン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができる。

【0041】図 1 7 は本発明の第 1 7 の実施例である。この実施例は、図 7 に示した実施例と基本回路構成を同じくするもので、図 7 の構成と異なる図 1 7 の構成は、第 1 のスイッチ素子 5 1 と並列に第 1 のコンデンサ 9 5 を接続し、第 2 のスイッチ素子 5 2 と並列に第 2 のコンデンサ 9 6 を接続している点である。このような構成にすることにより、第 1 と第 2 のコンデンサ 9 5, 9 6 は、それぞれトランス 4 0 のもれインダクタンスと直列共振回路を構成し、それぞれのコンデンサ 9 5, 9 6 はそれが並列に接続されているスイッチ素子 5 1, 5 2 のオフの期間にそのスイッチ素子の端子間電圧を共振によって、零ボルトまで下げることができる。そこで、それぞれのスイッチ素子 5 1, 5 2 の端子間電圧が零ボルトまで下がってから、そのスイッチ素子 5 1, 5 2 をオンさせるようにすると、そのスイッチ素子のターン・オン時のスイッチング損失を減らすことができ、スイッチング電源としての効率を上げることができる。また、図 1 7 のその他の構成部分は、図 7 の構成と同じであるので、前記の効果の他に図 7 の実施例と同じ効果を得ることができる。即ち、図 1 7 の構成は図 7 の実施例と同様に、力率の高いスイッチング電源であると同時に、スイッチ素子 5 1, 5 2 に印加される電圧が、第 1 の平滑コンデンサ 3 3 と第 2 の平滑コンデンサ 3 4 の直列回路で構成される平滑コンデンサの端子間電圧と同じであるので、スイッチ素子として低耐圧でオン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができる。

【0042】図 1 8 は本発明の第 1 8 の実施例である。この実施例は、図 8 に示した実施例と基本回路構成を同じくするもので、図 8 の構成と異なる図 1 8 の構成は、

第 1 のスイッチ素子 5 1 と並列に第 1 のコンデンサ 9 5 を接続し、第 2 のスイッチ素子 5 2 と並列に第 2 のコンデンサ 9 6 を接続している点である。このような構成にすることにより、第 1 と第 2 のコンデンサ 9 5, 9 6 は、それぞれトランス 4 0 のもれインダクタンスと直列共振回路を構成し、それぞれのコンデンサ 9 5, 9 6 はそれが並列に接続されているスイッチ素子 5 1, 5 2 のオフの期間にそのスイッチ素子の端子間電圧を共振によって、零ボルトまで下げることができる。そこで、それぞれのスイッチ素子 5 1, 5 2 の端子間電圧が零ボルトまで下がってから、そのスイッチ素子 5 1, 5 2 をオンさせるようにすると、そのスイッチ素子のターン・オン時のスイッチング損失を減らすことができ、スイッチング電源としての効率を上げることができる。また、図 1 8 のその他の構成部分は、図 8 の構成と同じであるので、前記の効果の他に図 8 の実施例と同じ効果を得ることができる。即ち、図 1 8 の構成は図 8 の実施例と同様に、力率の高いスイッチング電源であると同時に、スイッチ素子 5 1, 5 2 に印加される電圧が、平滑コンデンサ 3 0 の端子間電圧と同じであるので、スイッチ素子として低耐圧でオン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができる。

【0043】図 1 9 は本発明の第 1 9 の実施例である。この実施例は、図 9 に示した実施例と基本回路構成を同じくするもので、図 9 の構成と異なる図 1 9 の構成は、第 1 のスイッチ素子 5 1 と並列に第 1 のコンデンサ 9 5 を接続し、第 2 のスイッチ素子 5 2 と並列に第 2 のコンデンサ 9 6 を接続している点である。このような構成にすることにより、第 1 と第 2 のコンデンサ 9 5, 9 6 は、それぞれトランス 4 0 のもれインダクタンスと直列共振回路を構成し、それぞれのコンデンサ 9 5, 9 6 はそれが並列に接続されているスイッチ素子 5 1, 5 2 のオフの期間にそのスイッチ素子の端子間電圧を共振によって、零ボルトまで下げることができる。そこで、それぞれのスイッチ素子 5 1, 5 2 の端子間電圧が零ボルトまで下がってから、そのスイッチ素子 5 1, 5 2 をオンさせるようにすると、そのスイッチ素子のターン・オン時のスイッチング損失を減らすことができ、スイッチング電源としての効率を上げることができる。また、図 1 9 のその他の構成部分は、図 9 の構成と同じであるので、前記の効果の他に図 9 の実施例と同じ効果を得ることができる。即ち、図 1 9 の構成は図 9 の実施例と同様に、力率の高いスイッチング電源であると同時に、スイッチ素子 5 1, 5 2 に印加される電圧が、平滑コンデンサ 3 0 の端子間電圧と同じであるので、スイッチ素子として低耐圧でオン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができる。

【0044】図 2 0 は本発明の第 2 0 の実施例である。

この実施例は、図 1 0 に示した実施例と基本回路構成を同じくするもので、図 1 0 の構成と異なる図 2 0 構成は、第 1 のスイッチ素子 5 1 と並列に第 1 のコンデンサ 9 5 を接続し、第 2 のスイッチ素子 5 2 と並列に第 2 のコンデンサ 9 6 を接続している点である。このような構成にすることにより、第 1 と第 2 のコンデンサ 9 5, 9 6 は、それぞれトランス 4 0 のもれインダクタンスと直列共振回路を構成し、それぞれのコンデンサ 9 5, 9 6 はそれが並列に接続されているスイッチ素子 5 1, 5 2 のオフの期間にそのスイッチ素子の端子間電圧を共振によって、零ボルトまで下げることができる。そこで、それぞれのスイッチ素子 5 1, 5 2 の端子間電圧が零ボルトまで下がってから、そのスイッチ素子 5 1, 5 2 をオンさせるようにすると、そのスイッチ素子のターン・オン時のスイッチング損失を減らすことができ、スイッチング電源としての効率を上げることができる。

【0045】また、図 2 0 のその他の構成部分は、図 1 0 の構成と同じであるので、前記の効果の他に図 1 0 の実施例と同じ効果を得ることができる。即ち、図 2 0 の構成は図 1 0 の実施例と同様に、力率の高いスイッチング電源であると同時に、スイッチ素子 5 1, 5 2 に印加される電圧が、第 1 の平滑コンデンサ 3 3 と第 2 の平滑コンデンサ 3 4 の直列回路で構成される平滑コンデンサの端子間電圧と同じであるので、スイッチ素子として低耐圧でオン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができる。

【0046】

【発明の効果】以上のように、本発明によれば、従来の交流入力スイッチング電源に対し、本願発明者等が以前に発明した先願発明（特願平 5 - 1 7 7 3 7 9 号）の回路と同様に力率を高くすることができ、さらにこの先願発明の回路ではスイッチ素子に印加される電圧が、平滑コンデンサの約 2 倍であるのに対して、本発明の回路ではスイッチ素子に印加される電圧が平滑コンデンサの電圧と同じ電圧であるので、スイッチ素子として、低耐圧でオン抵抗のものを使用することができ、その結果、スイッチ素子での電力損失が減って、スイッチング電源の高効率化を図ることができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例の回路図である。

【図 2】本発明の第 2 の実施例の回路図である。

【図 3】本発明の第 3 の実施例の回路図である。

【図 4】本発明の第 4 の実施例の回路図である。

【図 5】本発明の第 5 の実施例の回路図である。

【図 6】本発明の第 6 の実施例の回路図である。

【図 7】本発明の第 7 の実施例の回路図である。

【図 8】本発明の第 8 の実施例の回路図である。

【図 9】本発明の第 9 の実施例の回路図である。

【図 1 0】本発明の第 1 0 の実施例の回路図である。

【図 1 1】本発明の第 1 1 の実施例の回路図である。

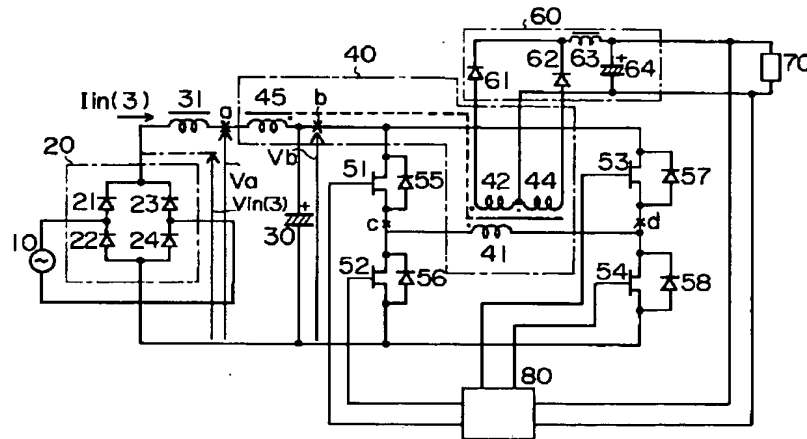
- 【図 1 2】本発明の第 1 2 の実施例の回路図である。  
 【図 1 3】本発明の第 1 3 の実施例の回路図である。  
 【図 1 4】本発明の第 1 4 の実施例の回路図である。  
 【図 1 5】本発明の第 1 5 の実施例の回路図である。  
 【図 1 6】本発明の第 1 6 の実施例の回路図である。  
 【図 1 7】本発明の第 1 7 の実施例の回路図である。  
 【図 1 8】本発明の第 1 8 の実施例の回路図である。  
 【図 1 9】本発明の第 1 9 の実施例の回路図である。  
 【図 2 0】本発明の第 2 0 の実施例の回路図である。  
 【図 2 1】本発明の第 1 の実施例の動作タイミングを示す波形図である。  
 【図 2 2】本発明の第 1 の実施例の動作波形図である。  
 【図 2 3】従来の交流入力スイッチング電源の回路図である。  
 【図 2 4】従来の交流入力スイッチング電源の入力電圧電流の波形図である。  
 【図 2 5】本願発明者等の発明に係る先願発明の回路図である。  
 【図 2 6】本願発明者等の発明に係る先願発明の動作波

形図である。

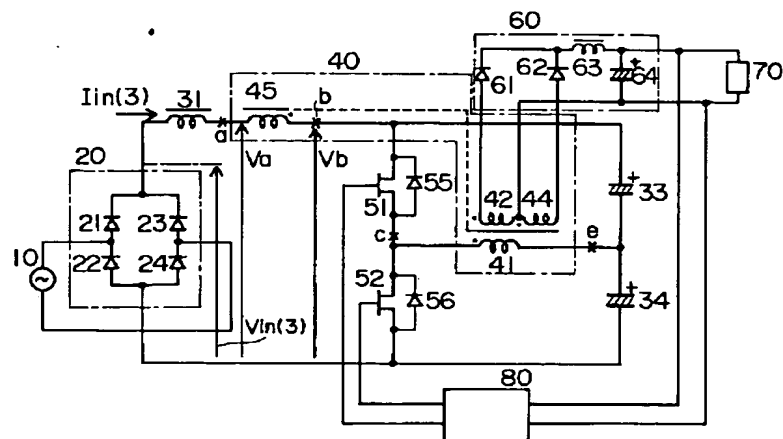
【符号の説明】

- 1 0 商用電源  
 2 0 全波整流器  
 2 1 ~ 2 4, 3 2, 5 5 ~ 5 8, 6 1, 6 2, 9 2, 9  
 4 ダイオード  
 3 0, 3 5, 3 6, 6 4 平滑コンデンサ  
 3 1, 6 3 インダクタ  
 3 7 スイッチ  
 4 0 トランス  
 4 1, 4 6 トランスの 1 次巻線  
 4 2, 4 4 トランスの 2 次巻線  
 4 3 トランスの 3 次巻線  
 4 5, 4 6, 4 7 制御巻線  
 5 0 ~ 5 4 スイッチ素子  
 5 9, 9 1, 9 3, 9 5 ~ 9 8 コンデンサ  
 6 0 整流平滑回路  
 7 0 負荷  
 8 0 制御回路

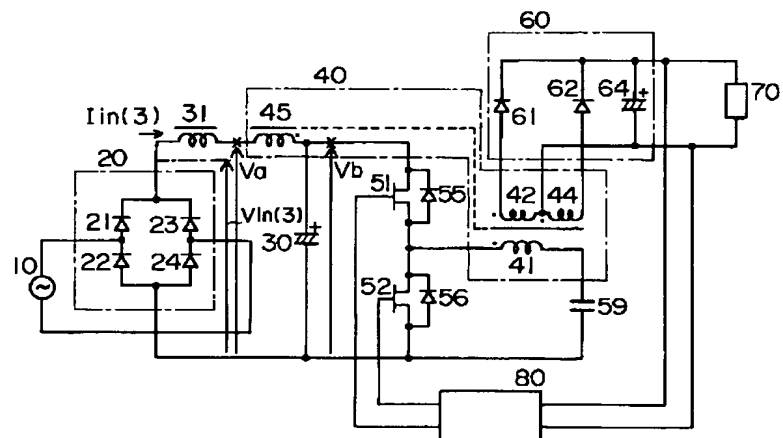
【図 1】



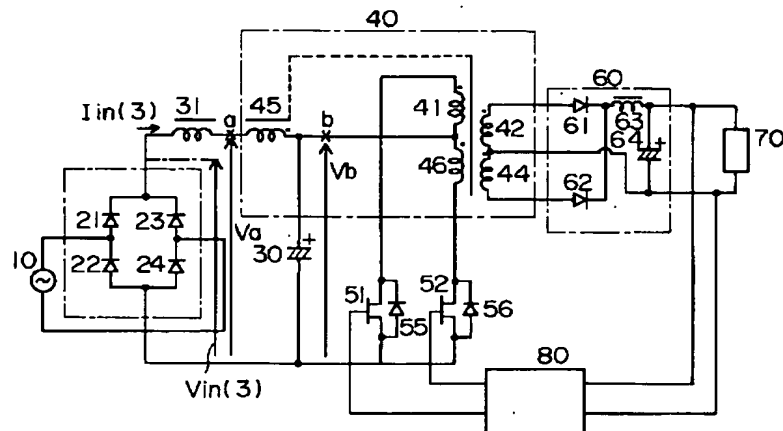
【図 2】



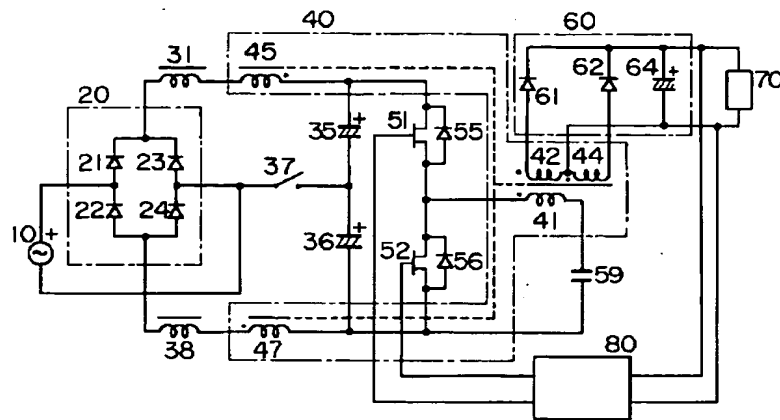
【図 3】



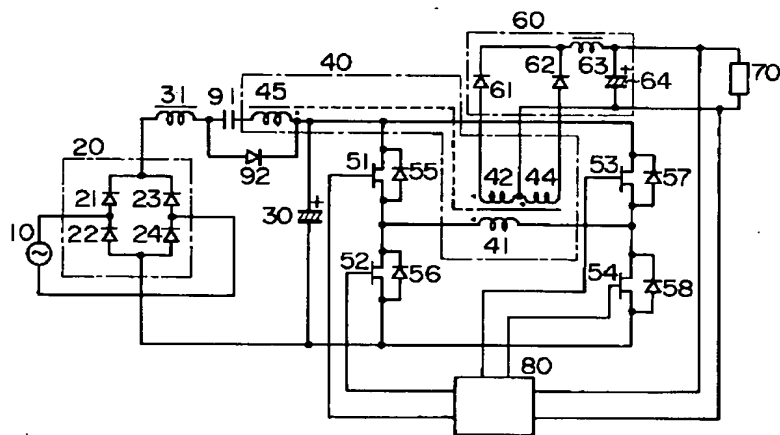
【図 4】



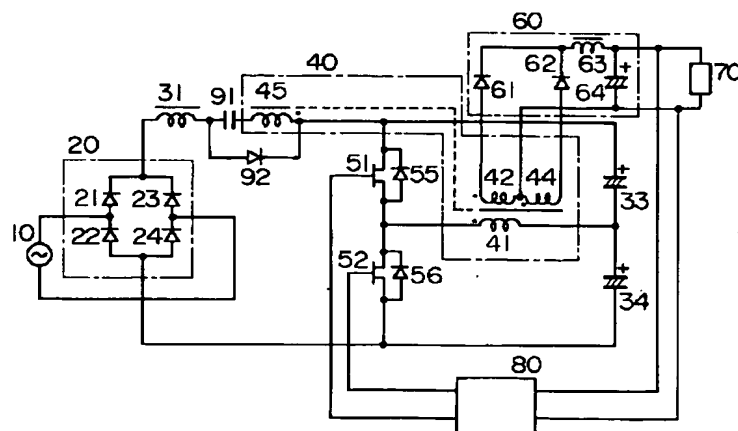
【図 5】



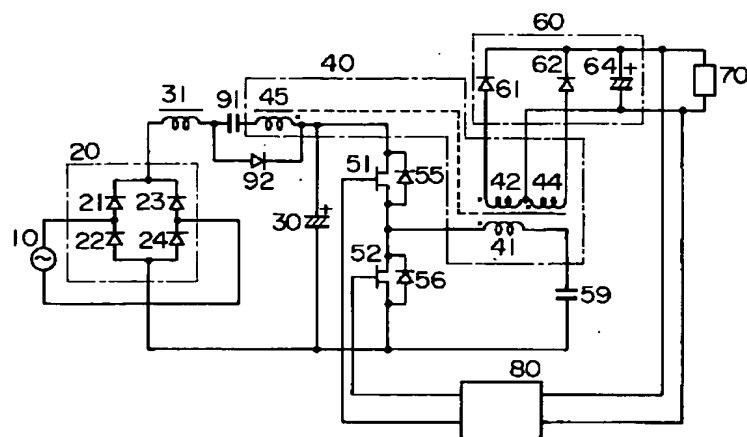
【図 6】



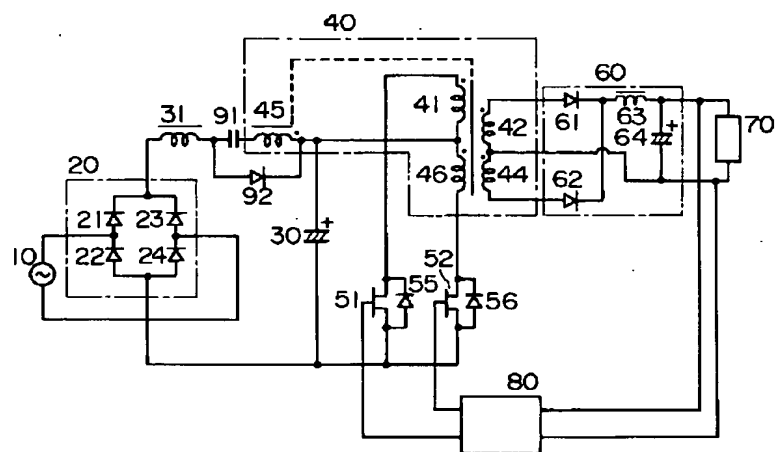
【図 7】



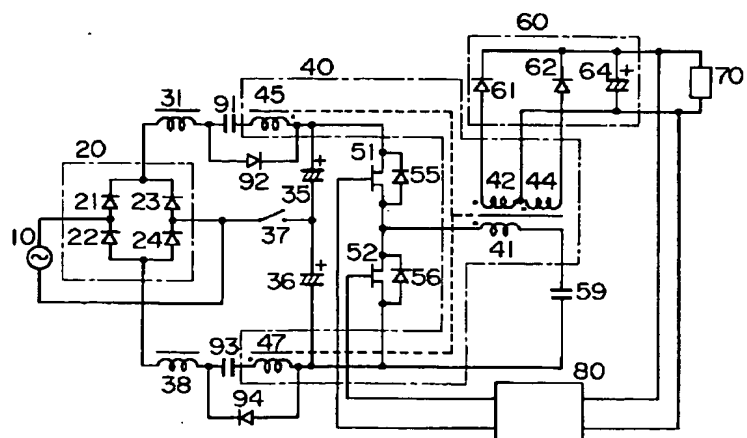
【図 8】



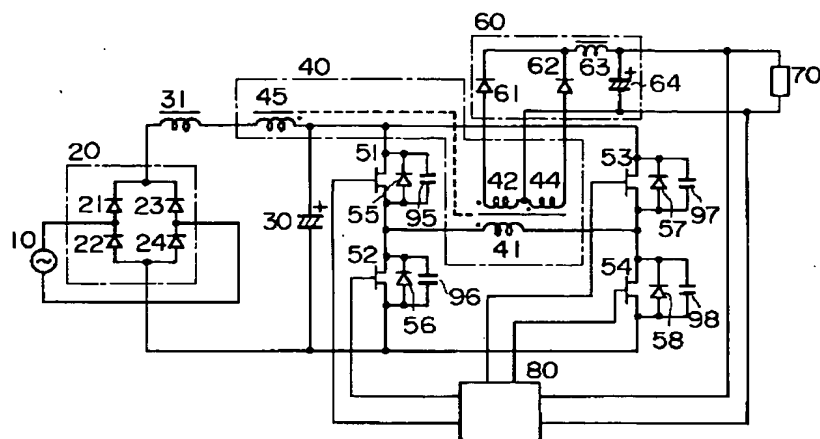
【図 9】



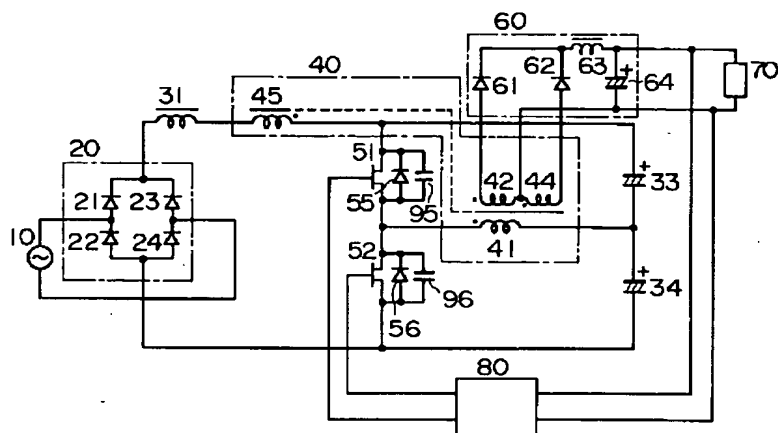
【図 10】



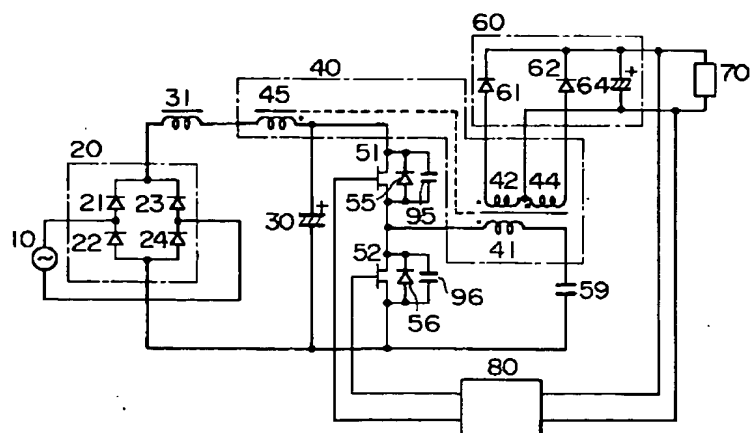
【図 1 1】



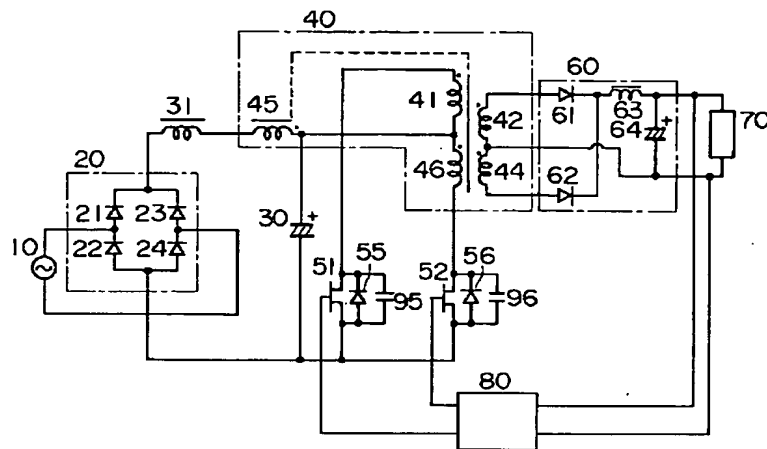
【図 1 2】



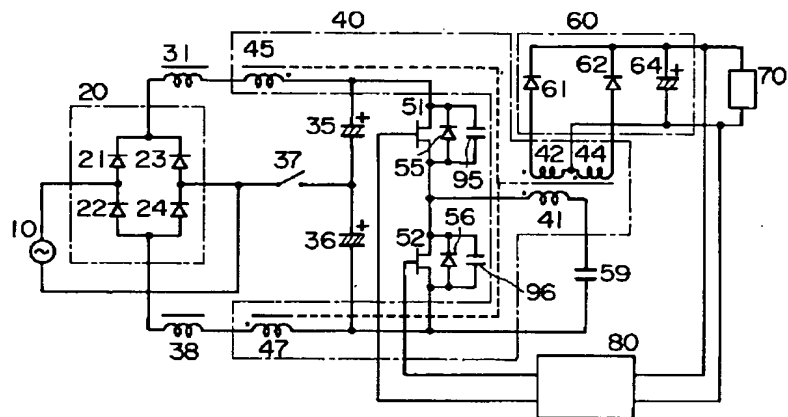
【図 1 3】



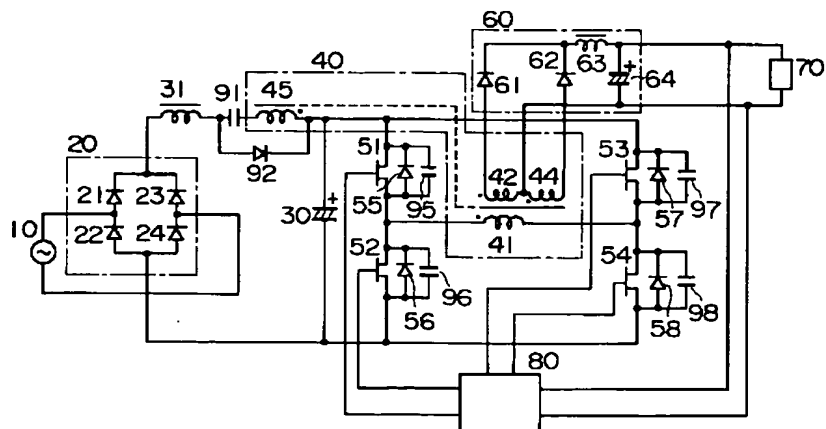
【図 1 4】



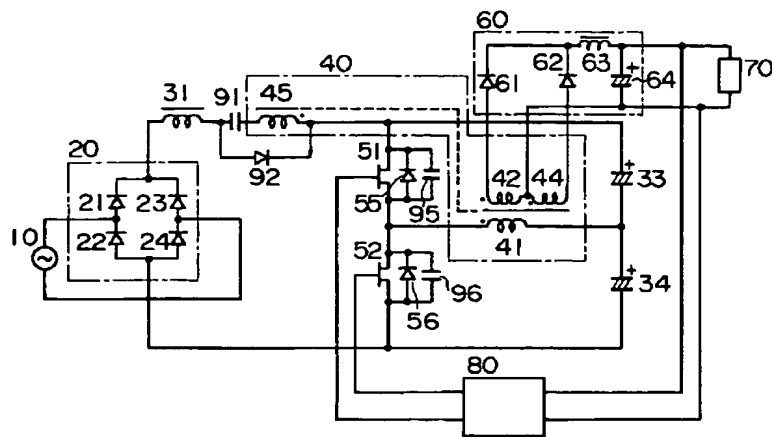
【図 15】



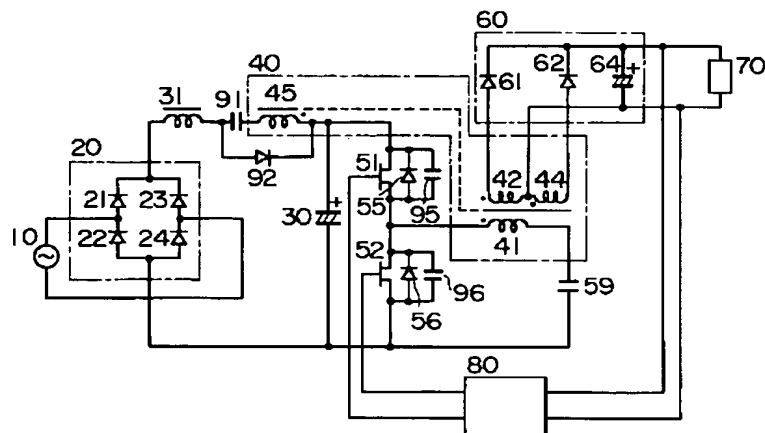
【図 16】



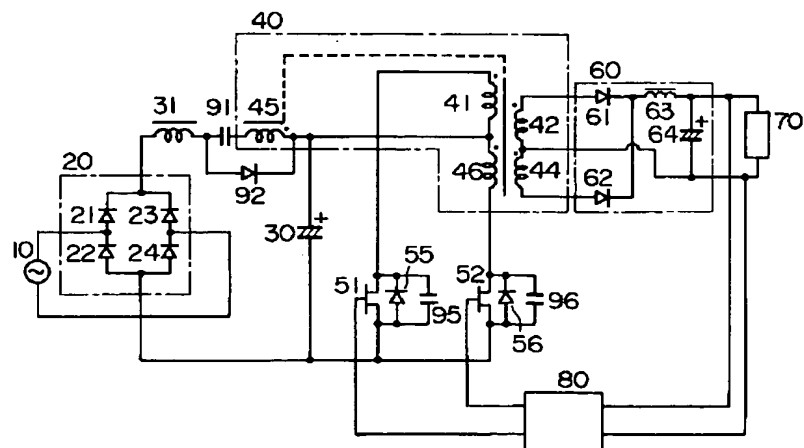
【図 17】



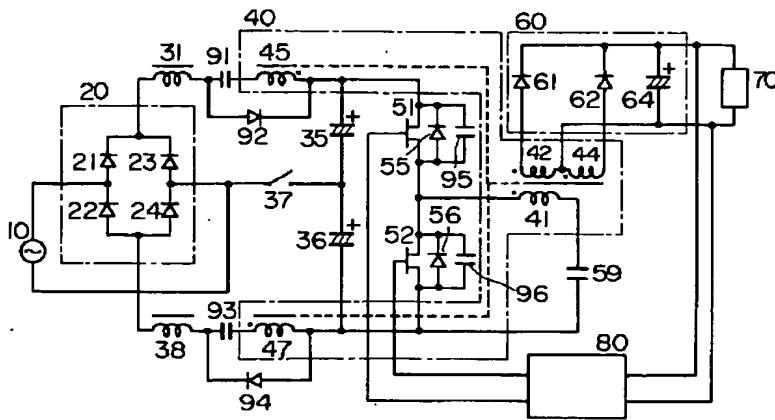
【図 18】



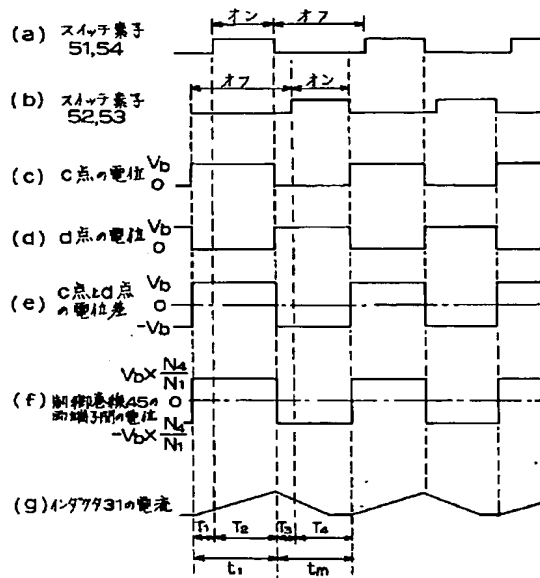
【図 19】



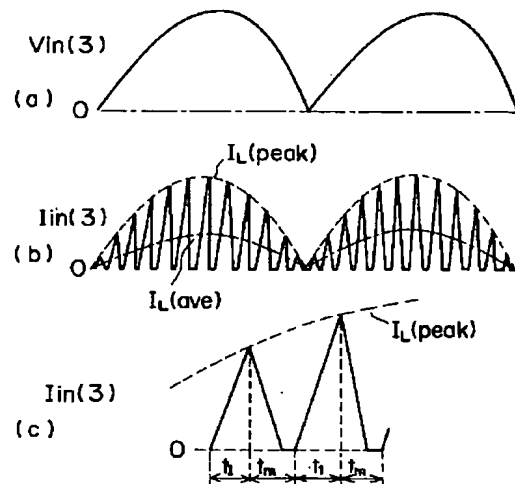
【図 20】



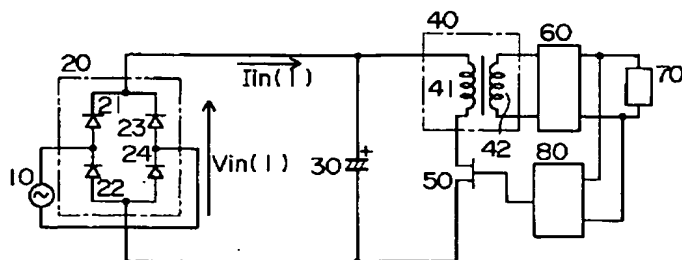
【図 21】



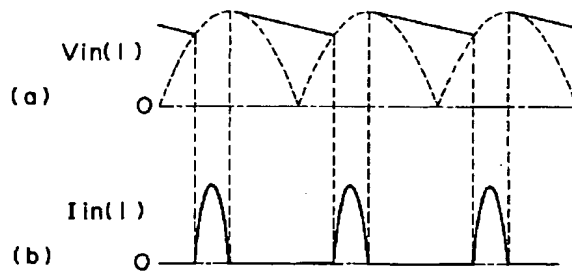
【図 22】



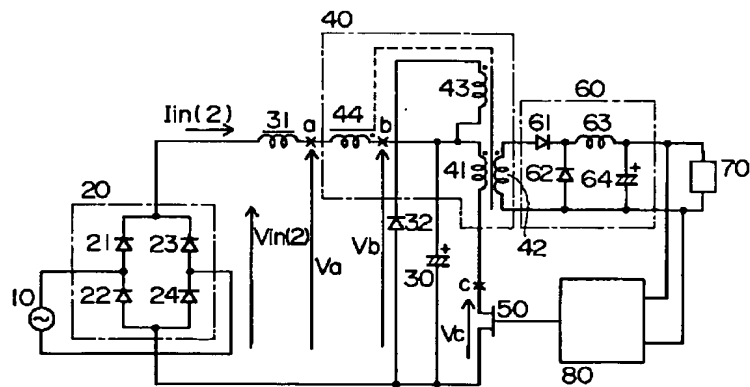
【図 23】



【図 2 4】



【図 2 5】



【図 2 6】

